



(19)

(11) Publication number:

11054716 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09212091

(51) Intl. Cl.: H01L 27/10 H01L 27/108 H01L 21/8242  
H01L 21/8247 H01L 29/788 H01L 29/792

(22) Application date: 06.08.97

(30) Priority:

(43) Date of application  
publication: 26.02.99

(84) Designated  
contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: MIYAZAWA HISASHI  
INOUE KENICHI  
YAMAZAKI TATSUYA

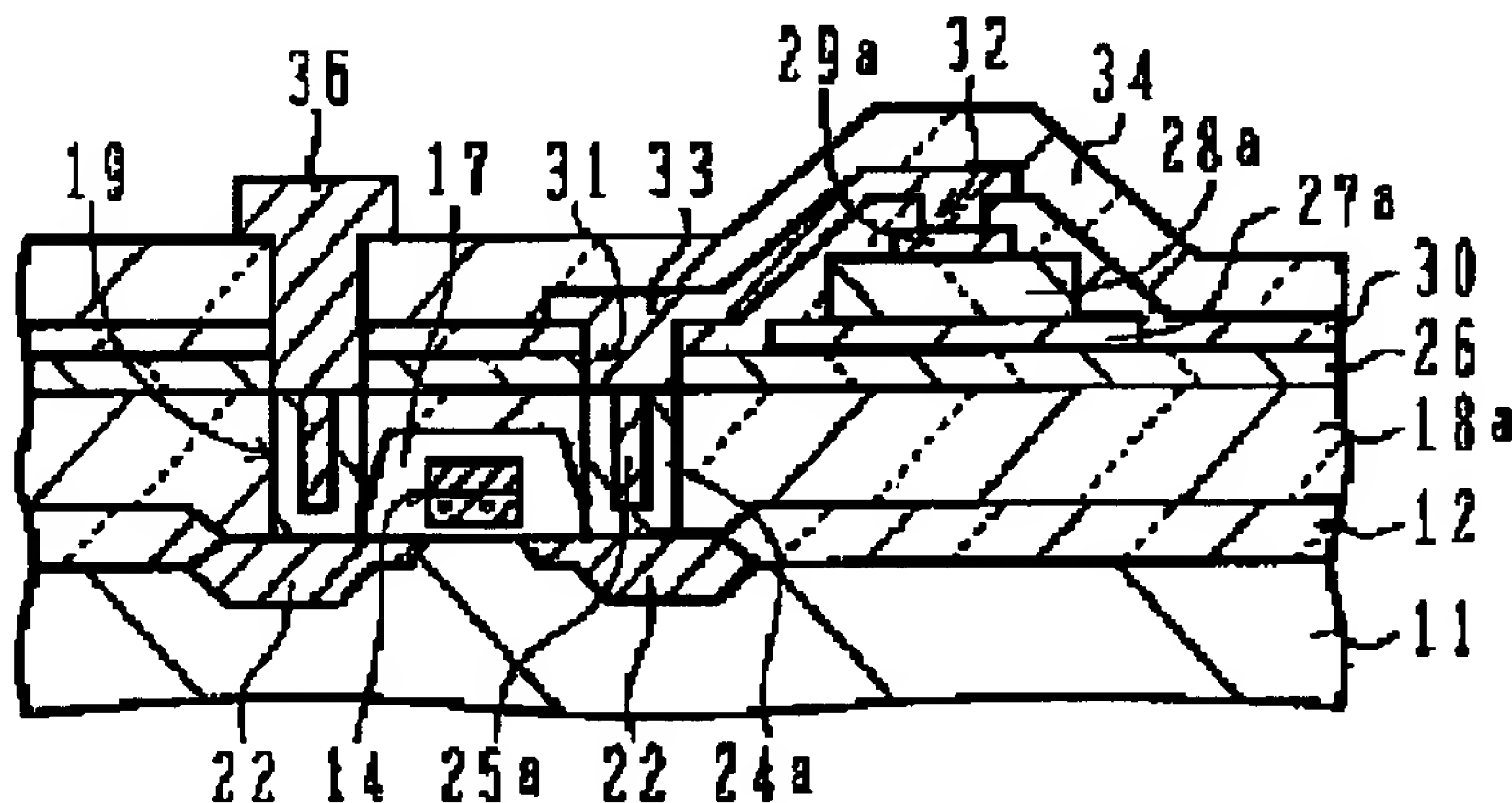
(74) Representative:

### (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain high dielectric characteristics, by using metal plugs and forming a capacitor containing an oxide dielectric film having perovskite crystal structure.

**SOLUTION:** An aperture 31 which penetrates oxide 30 and an oxygen shield insulating film 26 and reaches a metal plug, and an aperture which penetrates the oxide 30 and exposes an upper electrode 29a is formed. A TiN layer is deposited on the whole surface and patterned, and a local wiring 33 connecting the metal plug and the upper electrode 29a of a capacitor is formed. An oxide film 34 is formed on the whole surface of a substrate so as to cover the local wiring 33. An aperture which penetrates the oxide film 34 and an insulating film below it and reaches the other metal plug is formed, and a wiring 36 of Al or the like is formed. If necessary, processes for forming an insulating layer, an upper wiring, etc. are performed. Thus, a semiconductor device having a capacitor containing a perovskite dielectric film is formed. Thereby high dielectric characteristics can be obtained.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-54716

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/10  
27/108  
21/8242  
21/8247  
29/788

4 5 1

H 0 1 L 27/10

4 5 1

6 5 1

29/78

3 7 1

審査請求 未請求 請求項の数13 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平9-212091

(22) 出願日 平成9年(1997) 8月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 宮澤 久

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 井上 憲一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 山崎 辰也

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

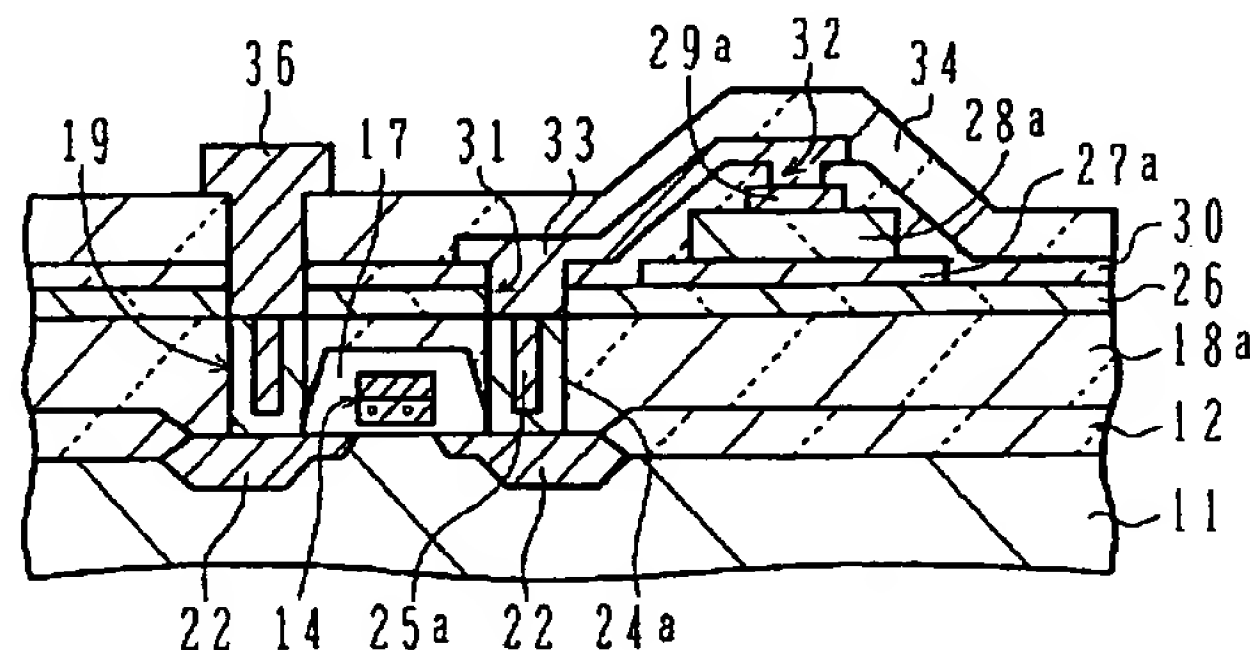
(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 ペロブスカイト型結晶構造を有する酸化物誘電体膜を有するキャパシタを備えた半導体装置とその製造方法に関し、高い誘電特性を有するペロブスカイト型酸化物誘電体膜を用いたキャパシタを有する半導体装置を提供する。

【解決手段】 半導体基板上に絶縁ゲート型電界効果トランジスタを形成する工程と、絶縁ゲート電極を覆って、第1絶縁膜を形成する工程と、第1の絶縁膜を貫通して、基板表面に達するコンタクト窓を形成する工程と、コンタクト窓内に金属プラグを埋め込む工程と、金属プラグを覆って酸素遮蔽能を有する第2絶縁膜を形成する工程と、第2絶縁膜の上にキャパシタの下部電極、ペロブスカイト型結晶構造を有する酸化物誘電体の膜を形成する工程と、酸化物誘電体膜形成後、酸素雰囲気中で半導体基板をアニールする工程と、酸化物誘電体膜の上にキャパシタの上部電極を形成する工程とを含む半導体装置の製造方法が提供される。



## 【特許請求の範囲】

【請求項1】 第1導電型領域と第1導電型と逆の第2導電型領域とを含む半導体基板と、

前記半導体基板の第1および第2導電型領域上にそれぞれ形成された第1および第2の絶縁ゲート電極構造と、絶縁ゲート電極構造の両側で前記半導体基板中に形成された第2導電型の第1対および第1導電型の第2対の不純物ドーパ領域とを有する第1および第2の絶縁ゲート型電界効果トランジスタと、

前記第1および第2の絶縁ゲート型電界効果トランジスタを覆って、前記半導体基板上に形成された第1絶縁膜と、

前記第1絶縁膜を貫通して前記第1および第2の絶縁ゲート型電界効果トランジスタの第1対および第2対の不純物ドーパ領域の各々の少なくとも1つの不純物ドーパ領域に達する少なくとも2つの金属プラグと、

前記第1絶縁膜を覆って形成され、酸素遮蔽能を有する第2絶縁膜と、

前記第2絶縁膜上に形成された下部電極と、

前記下部電極上に形成され、ペロブスカイト型結晶構造を有する酸化物誘電体膜と、

前記酸化物誘電体膜上に形成され、前記下部電極、酸化物誘電体膜と共にキャパシタを形成する上部電極と、

前記キャパシタを覆って半導体基板上に形成された第3絶縁膜と、

前記第3絶縁膜上に延在し、前記第3絶縁膜を通る接続孔を介して前記金属プラグの1つと接続され、前記第3絶縁膜を通る接続孔を介して前記上部電極または前記下部電極に接続されたローカル配線とを有する半導体装置。

【請求項2】 前記酸化物誘電体は、PZT、SBT、BSTのいずれかである請求項1記載の半導体装置。

【請求項3】 前記第2絶縁膜は、窒化膜である請求項1記載の半導体装置。

【請求項4】 前記金属プラグは、高融点金属を含む請求項1記載の半導体装置。

【請求項5】 前記第2絶縁膜が、前記第1絶縁膜の上に選択的に形成されている請求項1記載の半導体装置。

【請求項6】 半導体基板上に絶縁ゲート電極と第1導電型のソース／ドレイン領域を有する絶縁ゲート型電界効果トランジスタを形成する工程と、

前記絶縁ゲート電極を覆って、半導体基板上に第1絶縁膜を形成する工程と、

前記第1の絶縁膜を貫通して、前記ソース／ドレイン領域の少なくとも一方に達するコンタクト窓を形成する工程と、

前記コンタクト窓内に金属プラグを埋め込む工程と、

前記金属プラグを覆って前記第1絶縁膜の上に酸素遮蔽能を有する第2絶縁膜を形成する工程と、

前記第2絶縁膜の上にキャパシタの下部電極を形成する

工程と、

前記下部電極の上にペロブスカイト型結晶構造を有する酸化物誘電体の膜を形成する工程と、

前記酸化物誘電体膜形成工程後、酸素雰囲気中で前記半導体基板をアニールするアニール工程と、

前記酸化物誘電体膜の上にキャパシタの上部電極を形成する工程とを含む半導体装置の製造方法。

【請求項7】 前記アニール工程が、700℃以上の温度で行われる請求項6記載の半導体装置の製造方法。

【請求項8】 さらに、

前記上部電極を覆って、半導体基板上に第3絶縁膜を形成する工程と、

前記第3絶縁膜を貫通して前記金属プラグおよび前記上部電極または前記下部電極に達する接続孔を形成する工程と、

前記金属プラグと前記上部電極または前記下部電極を接続するローカル配線を接続する工程とを含む請求項6記載の半導体装置の製造方法。

【請求項9】 前記第2絶縁膜を形成する工程が、窒化膜を形成するサブ工程と、前記窒化膜上に酸化膜を形成するサブ工程とを含む請求項6記載の半導体装置の製造方法。

【請求項10】 前記キャパシタの下部電極を形成する工程が、Ti膜を形成するサブ工程とTi膜上にPt膜を形成するサブ工程とを含む請求項6記載の半導体装置の製造方法。

【請求項11】 前記Ti膜を形成するサブ工程が、前記アニール工程で前記酸化物誘電体膜の(111)配向を実現するようにTi膜厚を選択している請求項10記載の半導体装置の製造方法。

【請求項12】 前記酸化物誘電体膜を形成する工程が、PZT、SBT、BSTの少なくとも1つを主成分として成膜する工程である請求項6記載の半導体装置の製造方法。

【請求項13】 前記酸化物誘電体膜を形成する工程が、PZT膜を形成する工程であり、Pbの組成が前記アニール工程後(111)配向を実現する値に選択されている請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、特にペロブスカイト型結晶構造を有する酸化物誘電体膜を有するキャパシタを備えた半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】ダイナミックランダムアクセスメモリ

(DRAM)は、1つのトランジスタと1つのキャパシタとで1つのメモリセルを構成する。小さなキャパシタで所望の容量を実現するためには、キャパシタの誘電体膜の誘電率は高ければ高いほど好ましい。誘電体膜が強

誘電体であれば分極特性を記憶することができ、不揮発性のフェロエレクトリックランダムアクセスメモリ (FRAM) を実現することができる。

【0003】比誘電率が10以上、より好ましくは50以上の高誘電体としては、バリウムストロンチウムタリタネート (BST) BaSrTiO<sub>3</sub>等のペロブスカイト型結晶構造を有する酸化物が知られている。また、強誘電体としては、同様にペロブスカイト型結晶構造を有する酸化物であるPZT PbZrTiO<sub>3</sub>やSBT SrBiTiO<sub>3</sub>等が知られている。これらのペロブスカイト型酸化物誘電体は、ゾル・ゲル法等のスピンオン、スパッタリング、化学気相堆積 (CVD) 等によって成膜することができる。

【0004】

【発明が解決しようとする課題】ペロブスカイト型酸化物誘電体を成膜しても、成膜したままの状態では、アモルファス相であったり、結晶化が不十分であったりすることが多い。また、酸素が欠乏することもある。このような場合、成膜したままの酸化物誘電体は、そのままでは有用な酸化物誘電体として用いることができない。したがって、成膜後、酸化性雰囲気中でアニールすることが必要である。

【0005】一旦、欠乏酸素を補充し、結晶化を行う処理を行っても、その後に高温で水素等の還元性雰囲気に触れると、酸化物誘電体の特性は再び劣化することが多い。半導体装置の製造工程においては、水素を含むガスを用いて半導体膜や絶縁膜を成膜することが多い。ペロブスカイト型酸化物誘電体膜を成膜後、このような水素を含むガスを用いて他の膜を成膜すると、酸化物誘電体膜の誘電特性が著しく劣化することにもなる。

【0006】本発明の目的は、高い誘電特性を有するペロブスカイト型酸化物誘電体膜を用いたキャパシタを有する半導体装置を提供することである。

【0007】本発明の他の目的は、高い誘電特性を有するペロブスカイト型酸化物誘電体膜を形成し、かつ高集積度の半導体素子を形成することのできる半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明の一観点によれば、第1導電型領域と第1導電型と逆の第2導電型領域とを含む半導体基板と、前記半導体基板の第1および第2導電型領域上にそれぞれ形成された第1および第2の絶縁ゲート電極構造と、絶縁ゲート電極構造の両側で前記半導体基板中に形成された第2導電型の第1対および第1導電型の第2対の不純物ドーピング領域とを有する第1および第2の絶縁ゲート型電界効果トランジスタと、前記第1および第2の絶縁ゲート型電界効果トランジスタを覆って、前記半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜を貫通して前記第1および第2の絶縁ゲート型電界効果トランジスタの第1対および第2対

の不純物ドーピング領域の各々の少なくとも1つの不純物ドーピング領域に達する少なくとも2つの金属プラグと、前記第1絶縁膜を覆って形成され、酸素遮蔽能を有する第2絶縁膜と、前記第2絶縁膜上に形成された下部電極と、前記下部電極上に形成され、ペロブスカイト型結晶構造を有する酸化物誘電体膜と、前記酸化物誘電体膜上に形成され、前記下部電極、酸化物誘電体膜と共にキャパシタを形成する上部電極と、前記キャパシタを覆って半導体基板上に形成された第3絶縁膜と、前記第3絶縁膜上に延在し、前記第3絶縁膜を通る接続孔を介して前記金属プラグの1つと接続され、前記第3絶縁膜を通る接続孔を介して前記上部電極または前記下部電極に接続されたローカル配線とを有する半導体装置が提供される。

【0009】本発明の他の観点によれば、半導体基板上に絶縁ゲート電極と第1導電型のソース／ドレイン領域を有する絶縁ゲート型電界効果トランジスタを形成する工程と、前記絶縁ゲート電極を覆って、半導体基板上に第1絶縁膜を形成する工程と、前記第1の絶縁膜を貫通して、前記ソース／ドレイン領域の少なくとも一方に達するコンタクト窓を形成する工程と、前記コンタクト窓内に金属プラグを埋め込む工程と、前記金属プラグを覆って前記第1絶縁膜の上に酸素遮蔽能を有する第2絶縁膜を形成する工程と、前記第2絶縁膜の上にキャパシタの下部電極を形成する工程と、前記下部電極の上にペロブスカイト型結晶構造を有する酸化物誘電体の膜を形成する工程と、前記酸化物誘電体膜形成工程後、酸素雰囲気中で前記半導体基板をアニールし、前記酸化物誘電体の膜を結晶化するアニール工程と、前記酸化物誘電体膜の上にキャパシタの上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0010】金属プラグを用いることにより、半導体素子を高集積度に形成することが容易になる。酸素遮蔽能を有する第2絶縁膜を用いることにより、金属プラグの酸化を防止しつつ、ペロブスカイト型酸化物誘電体膜を安定に作成することが可能となる。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0012】図1に示すように、p型シリコン基板11の表面に、局所酸化 (LOCOS) により、厚さ約500nmのフィールド酸化膜12を形成する。

【0013】なお、シリコン基板11がp型を有する場合を例示するが、シリコン基板11の表面に所望のn型ウェル、p型ウェル、n型ウェル中のp型ウェルを設けることもできる。また、導電型をすべて反転してもよい。

【0014】図2に示すように、フィールド酸化膜12で画定されたシリコン基板11表面 (活性領域AR) に、熱酸化により厚さ約15nmのゲート酸化膜13を形成する。ゲート酸化膜13上に、厚さ約120nmの



多結晶シリコン層14a、厚さ約150nmのタンゲステンシリサイド(WSi)層14bを成膜し、ゲート電極層14を形成する。なお、ゲート電極層の作成は、スパッタリング、CVD等により行うことができる。ゲート電極層14の上に、さらにCVDによりシリコン酸化膜15を形成する。シリコン酸化膜15上に、レジストパターンを形成し、シリコン酸化膜15、ゲート電極層14を同一形状にパターンニングする。その後、レジストマスクは除去する。

【0015】図3に示すように、ゲート電極層14とシリコン酸化膜15のパターンをマスクとして、シリコン基板11表面に低不純物濃度のn型不純物のイオン注入を行い、低濃度n型不純物ドープ領域21を形成する。なお、シリコン基板上にCMOS回路を作成する場合は、nチャネル領域とpチャネル領域に分けてイオン注入を行う。

【0016】イオン注入は、たとえばnチャネルトランジスタに対してはPまたはAsをイオン注入し、pチャネルトランジスタに対しては、たとえばBF<sub>2</sub>をイオン注入する。また、加速電圧はたとえば50~60keV程度であり、ドーズ量は10<sup>13</sup>程度である。

【0017】図4に示すように、ゲート電極構造を覆ってシリコン基板11全面上に高温酸化(HTO)膜を基板温度800℃で厚さ150nm程度堆積する。その後反応性イオンエッチング(異方性エッチング)を行うことにより、平坦面上のHTO膜を除去し、ゲート電極構造の側壁上にのみサイドウォール16を残す。なお、ゲート電極上面には、先に形成したシリコン酸化膜15が残る。以後、シリコン酸化膜15、サイドウォール16を合わせ、第1絶縁層17と呼ぶ。

【0018】図5に示すように、第1絶縁層17をマスクとして用い、高濃度のイオン注入を行って、高不純物濃度のソース/ドレイン領域22を形成する。nチャネルトランジスタに対しては、たとえばAsをドーズ量10<sup>14</sup>~10<sup>15</sup>cm<sup>-2</sup>程度イオン注入し、pチャネルトランジスタに対しては、たとえばBF<sub>2</sub>をドーズ量10<sup>14</sup>~10<sup>15</sup>cm<sup>-2</sup>程度イオン注入する。

【0019】図6に示すように、シリコン基板11全面上に、ボロホスホシリケートガラス(BPSG)、オキシナイトライド、シリコン酸化物等の酸化膜18を成膜する。酸化膜18を成膜後、表面を平坦化して厚さを1μm程度とする。

【0020】酸化膜18は、単一の層で形成する場合のほか、複数層の積層で形成する場合もある。たとえば、下に厚さ約200nmのオキシナイトライド層を形成し、その上にプラズマ励起テトラエトキシシラン(TEOS)酸化膜を形成してもよい。酸化膜18の平坦化は、リフロー、化学機械研磨(CMP)、エッチバック等を用いて行うことができる。

【0021】酸化膜18の表面を平坦化した後、MOS

トランジスタのソース/ドレイン領域を露出するコンタクト孔19を形成する。コンタクト孔19の形成は、たとえば直径約0.5μm程度の開口を有するレジストマスクを用い、反応性イオンエッチングにより行うことができる。

【0022】図7に示すように、コンタクト孔19を形成した基板上に、配線層を形成する。配線層は、たとえば、厚さ約20nmのTi層と厚さ約50nmのTiN層の積層で形成したグルー金属層24と、その上に堆積したW層25で形成する。グルー金属層は、たとえばスパッタリングで堆積する。W層は、たとえばWF<sub>6</sub>とH<sub>2</sub>を用いたCVDにより厚さ約800nm堆積する。この配線層形成により、コンタクト孔19が埋め込まれ、ソース/ドレイン領域22に接続された配線層が形成される。

【0023】図8に示すように、酸化膜18上のW層25およびグルー金属層24をエッチバックによって除去する。エッチバックは、Cl系ガスを用いたドライエッチングによって行うことができる。また、CMPによって酸化膜18上のW層およびグルー金属層を除去してもよい。エッチバックまたはCMP工程により、酸化膜18aとW層25a、グルー金属層24aの金属プラグがほぼ同一の平坦な平面を形成する。エッチバックを行った時には、W層25aの表面が周囲よりも下がることもある。

【0024】図9に示すように、平坦化された平面上に基板温度350℃程度の低温でプラズマ励起CVDにより、厚さ50nm~100nm程度の窒化膜26を堆積する。窒化膜形成を低温で行うのは、W層25aの酸化を防止するためと、シリコン基板と接するTi層がシリサイド化反応を生じ、接合を破壊することを防止するためである。

【0025】好ましくは、窒化膜形成後、厚さ約80nm程度の酸化膜をさらに積層する。この酸化膜は、たとえば、プラズマ励起TEOS酸化膜により形成する。基板温度を制限することにより、シリサイド化反応による接合破壊を防止する。

【0026】窒化膜は、コンタクト孔内に埋め込まれた金属プラグを覆い、その後の工程において表面から酸素が侵入し、金属プラグを酸化することを防止する。

【0027】窒化膜上に酸化膜を形成した場合は、その上に形成するキャパシタ下部電極との密着性を向上する。以下、単独の窒化膜の場合、窒化膜と酸化膜の積層の場合を含め、層26を酸素遮蔽絶縁膜と呼ぶ。

【0028】図10に示すように、酸素遮蔽絶縁膜26の上に、膜厚20~30nmのTi層と膜厚150nmのPt層の積層からなる下部電極27、膜厚300nmのPZT誘電体膜28、膜厚150nmのPtからなる上部電極29をそれぞれスパッタリングにより成膜する。PZT誘電膜28は、堆積したままの状態ではアモ

ルファス相であり、分極特性を有しない。

【0029】PZT誘電体膜28を作成した後、上部電極29を堆積する前に、または上部電極29を堆積した後に、O<sub>2</sub>雰囲気中でアニール処理を行う。たとえば1気圧のO<sub>2</sub>雰囲気中で850℃、約5秒間のアニール処理を行う。このようなアニール処理は、ラピッドサーマルアニール(RTA)装置を用いて行うことができる。なお、RTAの代わりに抵抗炉を用い、800℃以上、10分間以上のアニール処理を行ってもよい。たとえば800℃約30分間のアニール処理を行う。

【0030】このような酸素雰囲気中のアニール処理により、PZT誘電体膜28は多結晶化し、たとえば約30μC/cm<sup>2</sup>の分極率を示すようになる。W層25aは、酸素遮蔽絶縁膜26で覆われているため、酸化から防止される。なお、もしW層25aが酸化すると、体積膨張により積層構造が破壊される危険性が生じる。例えば、高さ方向で1μmもふくれあがってしまうことがある。

【0031】図11に示すように、上部電極29、誘電体膜28、下部電極27のパターニングを周知のホトリソグラフィ技術を用いて行う。パターニングにより、下部電極27a、誘電体膜28a、上部電極29aが形成される。なお、作成される段差を緩やかにするために、下層から上層に向けて徐々に面積を小さくすることが好ましい。キャパシタのパターニング後、さらに酸素雰囲気中、500～650℃の温度でリカバリーアニールを行う。

【0032】なお、PZT誘電体膜28aは、下部電極上に(111)配向を示した時に優れた分極特性を示す。このような結晶方位を実現するためには、下部電極27aのTi膜厚を制御すること、およびPZT誘電体膜28a中のPb量をPbx、Zry、Tii-yと表記した時、たとえばx=1～1.4、より好ましくは約1.1に制御することが好ましい。

【0033】図12に示すように、作成されたキャパシタを覆って基板全面上にプラズマ励起TEOS酸化膜を温度390～400℃程度で堆積する。PZT誘電体膜作成後は、水素等の還元性ガスを含む高温工程は避けることが好ましい。

【0034】図13に示すように、酸化膜30、酸素遮蔽絶縁膜26を貫通して金属プラグに達する開口31を形成し、酸化膜30を貫通して上部電極29aを露出する開口を形成する。

【0035】全面にTiN層を堆積し、パターニングすることによって金属プラズマとキャパシタの上部電極29aを接続するローカル配線33を形成する。TiN層33は、たとえばリアクティブスパッタリングにより厚さ約100nm程度堆積する。

【0036】図14に示すように、ローカル配線33を覆うように基板全面上に酸化膜34を形成する。酸化膜

34およびその下の絶縁膜を貫通し、他の金属プラグに達する開口35を形成し、A1等により配線36を形成する。

【0037】必要に応じ、絶縁層形成、上部配線形成等の工程を行う。このようにして、ペロブスカイト型誘電体膜を含むキャパシタを備えた半導体装置が形成される。

【0038】以上、メモリセル部分の製造工程を例にとって説明した。このメモリセル工程の製造工程と同時に周辺回路領域のトランジスタ等を作成することができる。

【0039】図15は、周辺回路領域PCとメモリセル領域MCを同時に示す断面図である。メモリセル領域MCにおいては、シリコン基板内のp型ウェルP1内に上述の実施例において説明したMOSトランジスタTrとキャパシタCapが形成されている。周辺回路領域PCにおいては、p型ウェルP2内にnチャネルMOSトランジスタが形成され、n型ウェルN1内にpチャネルMOSトランジスタが形成されている。

【0040】酸素遮蔽絶縁膜26は、周辺回路領域においても全面上に形成され、金属プラグPL1～PL4が形成された領域でのみ選択的に除去されている。プラグPL1、PL2は、nチャネルトランジスタのn型領域に対するコンタクトを形成し、プラグPL3、PL4は、pチャネルトランジスタのp型領域に対するコンタクトを形成する。金属でプラグを形成することにより、CMOSトランジスタのソース/ドレイン領域に共通の構造のコンタクトを形成することができる。

【0041】図16は、図11の工程でキャパシタ構造を形成した後、露出している酸素遮蔽絶縁膜26を除去した場合の構造を示す。周辺回路領域PCにおいては、酸素遮蔽絶縁膜26は完全に除去され、酸化膜18上に酸化膜30、34が積層された構造となっている。メモリセル領域MCにおいては、キャパシタの下部電極27a下にのみ酸素遮蔽絶縁膜26が残存し、他の領域においては、酸素遮蔽絶縁膜は除去されている。酸素遮蔽絶縁膜の除去は、たとえばコントロールエッチングによって行うことができる。

【0042】図17は、酸化膜18を積層構造とし、下部をオキシナイトライド膜、上部を酸化膜とした場合の構成を示す。金属プラグ形成前にHFエッチャントにより軽くウェットエッチを行うことにより、コンタクト窓の酸化膜部分のエッチングを進める。この結果、各コンタクト窓において下部の径が狭く、上部の径が広い二段構造が形成される。上部を上げることにより、金属プラグのコンタクトを改善することができる。

【0043】図18は他の構成例を示す。上述の構成においては、キャパシタ上部電極が最も近いソース/ドレイン領域とローカル配線によって接続されていた。図18の構成においては、キャパシタ上部電極は配線層41

によって他の個所に接続されている。

【0044】キャパシタの下部電極27aは、端部において露出され、ローカル配線46により近接するソース／ドレイン領域と金属プラグPL6を介して接続されている。

【0045】その他種々の配線構造が可能なことは当業者に自明であろう。また、キャパシタ誘電体膜形成後、所望の時点でリカバリーアニールを行って酸化物誘電体膜の誘電特性の劣化を防止することが好ましい。

【0046】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0047】

【発明の効果】以上説明したように、本発明によれば、金属プラグを用い、かつペロブスカイト型結晶構造を有する酸化物誘電体膜を含むキャパシタを形成し、高い誘電特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図2】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図3】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図4】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図5】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図6】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図7】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図8】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図9】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図10】本発明の実施例による半導体装置の製造方法

を説明するための半導体基板の断面図である。

【図11】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図12】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図13】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図14】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図15】上述の実施例による周辺回路領域、メモリセル領域を同時に示す半導体基板の断面図である。

【図16】本発明の他の実施例による半導体装置の周辺回路領域、メモリセル領域を示す断面図である。

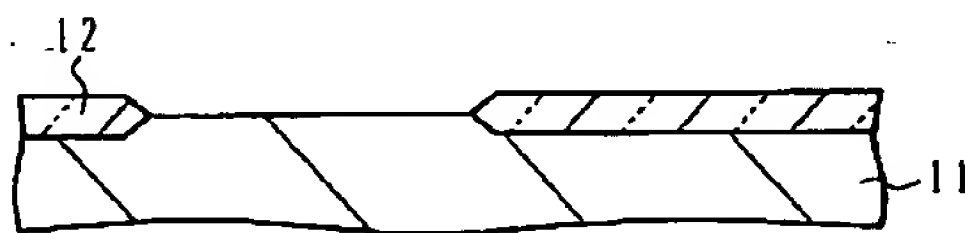
【図17】本発明の他の実施例による半導体装置の周辺回路領域、メモリセル領域を示す断面図である。

【図18】本発明の他の実施例による半導体装置の周辺回路領域、メモリセル領域を示す断面図である。

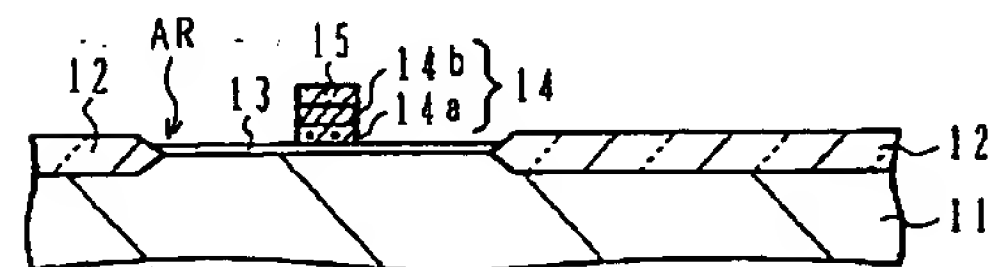
【符号の説明】

- 11 シリコン基板
- 12 フィールド酸化膜
- 13 ゲート酸化膜
- 14 ゲート電極層
- 15 酸化膜
- 16 サイドウォール
- 17 第1絶縁層
- 18 酸化膜
- 19 コンタクトホール
- 24 グルー金属層
- 25 W層
- 26 酸素遮蔽絶縁膜
- 27 下部電極層
- 28 酸化物誘電体層
- 29 上部電極層
- 30 絶縁層
- 31、32 接続孔
- 33 ローカル配線
- PL 金属プラグ

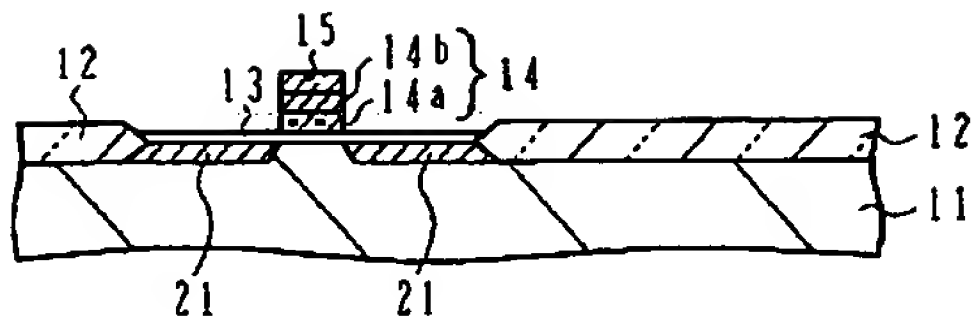
【図1】



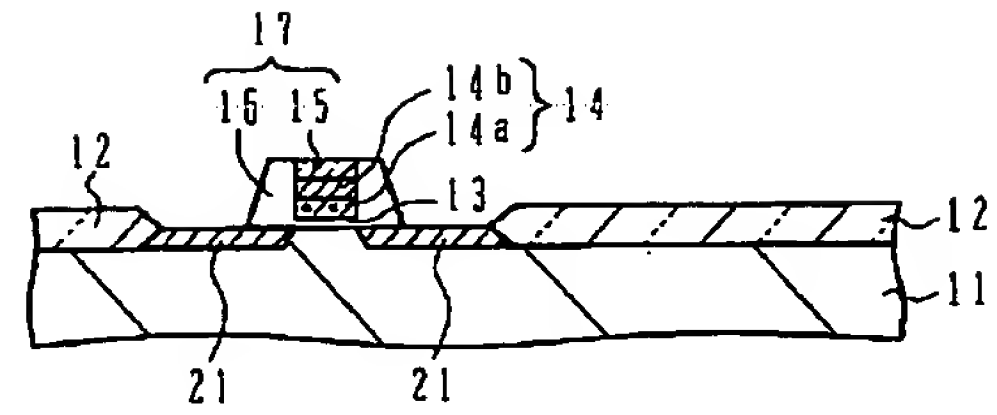
【図2】



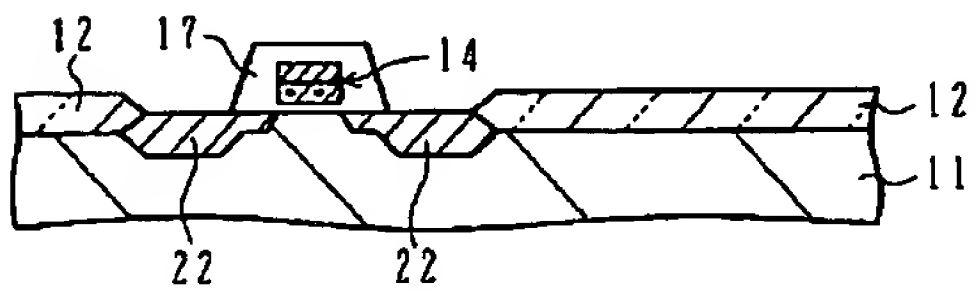
【図 3】



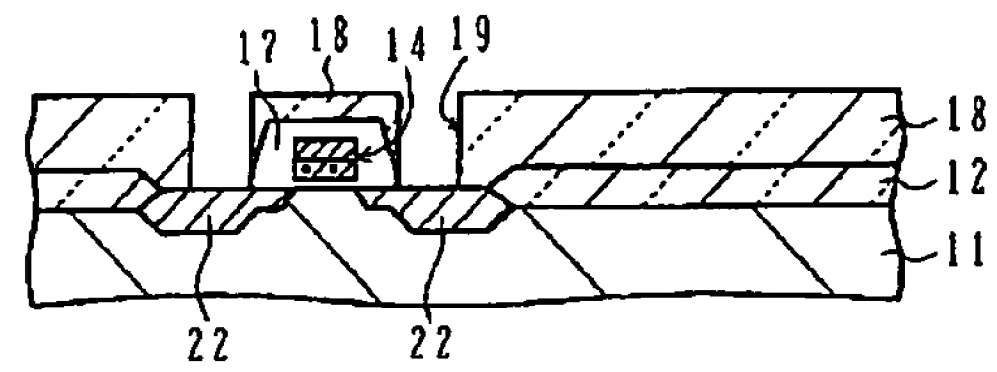
【図 4】



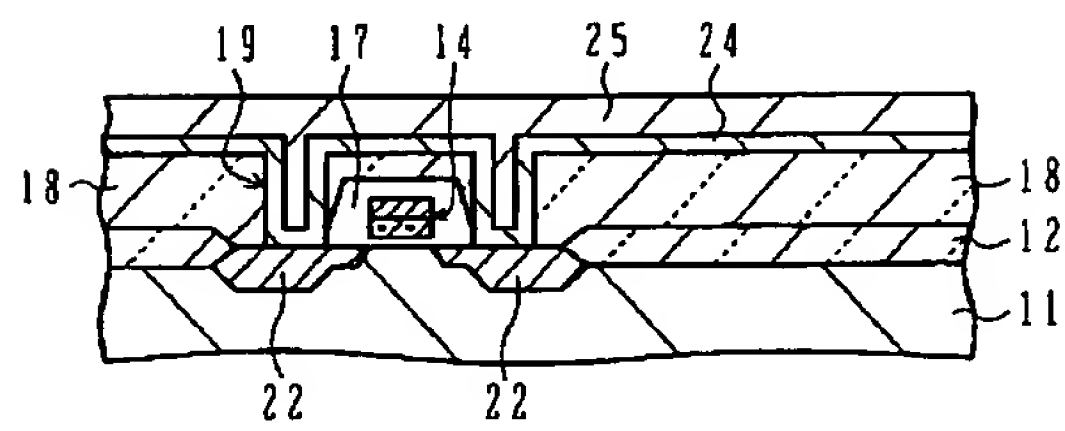
【図 5】



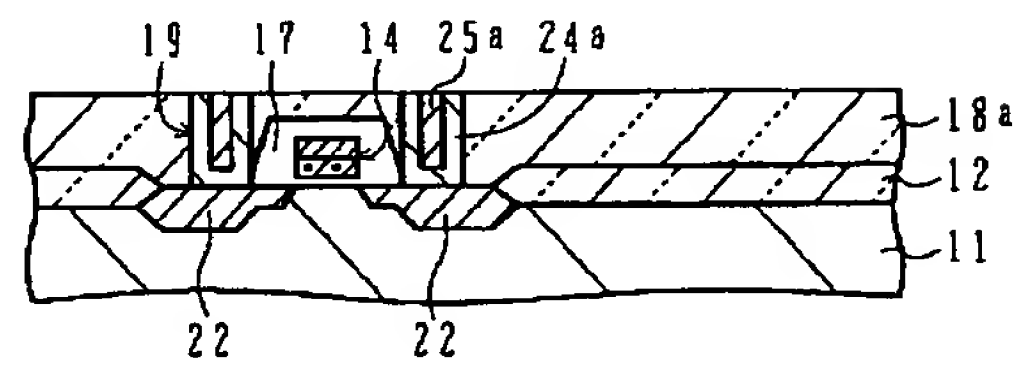
【図 6】



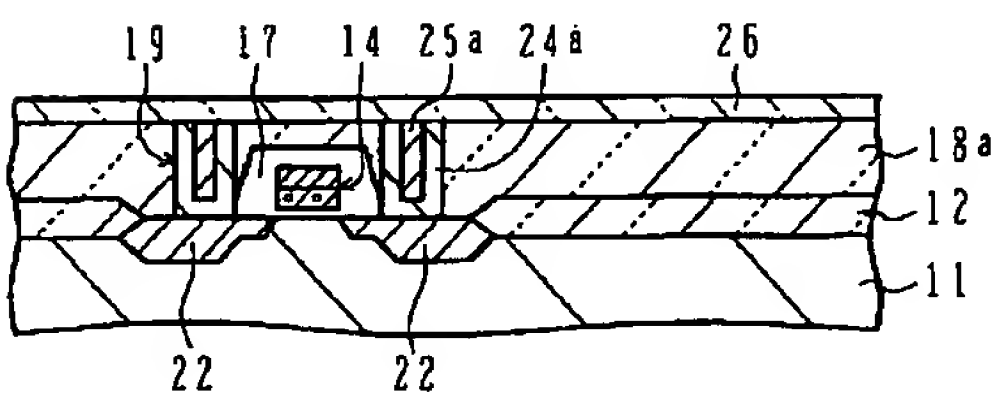
【図 7】



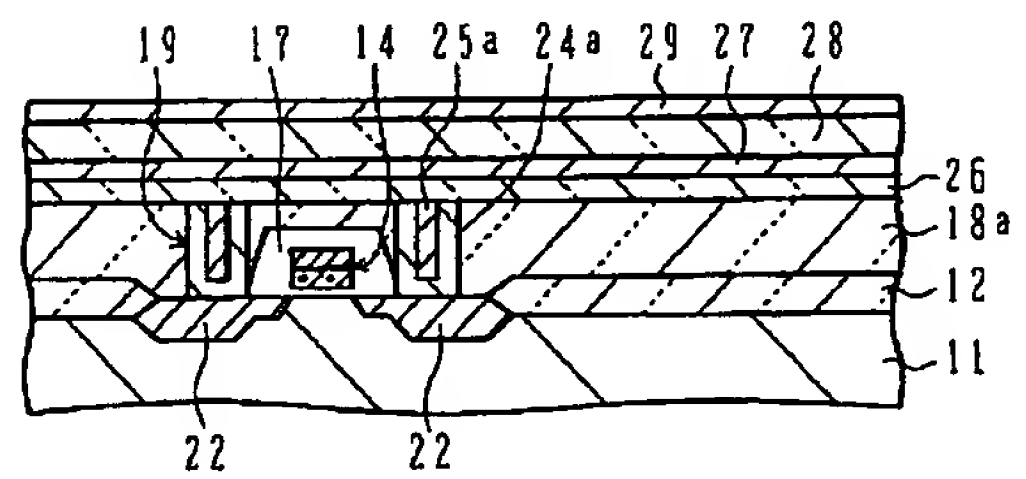
【図 8】



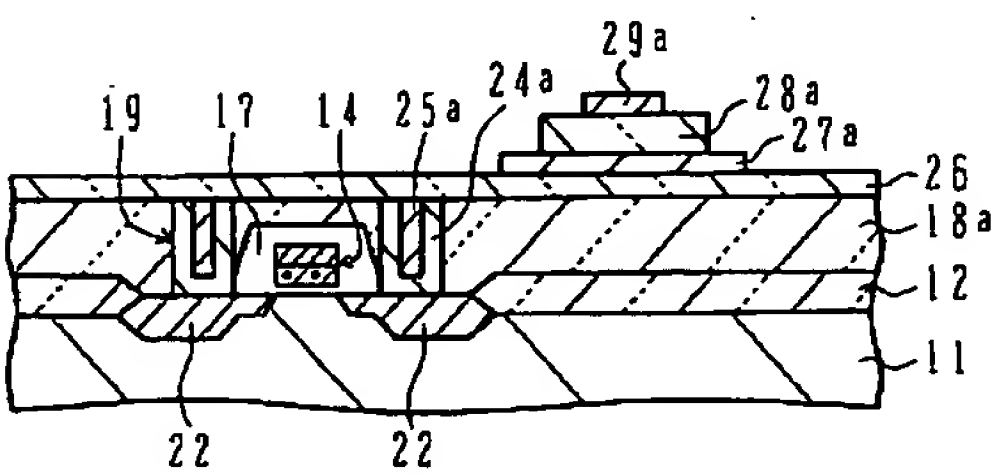
【図 9】



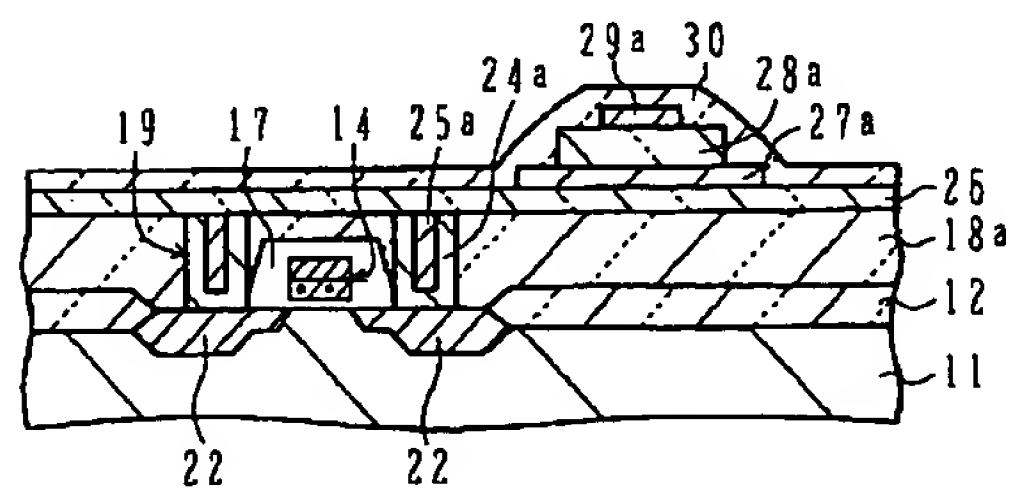
【図 10】



【図 11】

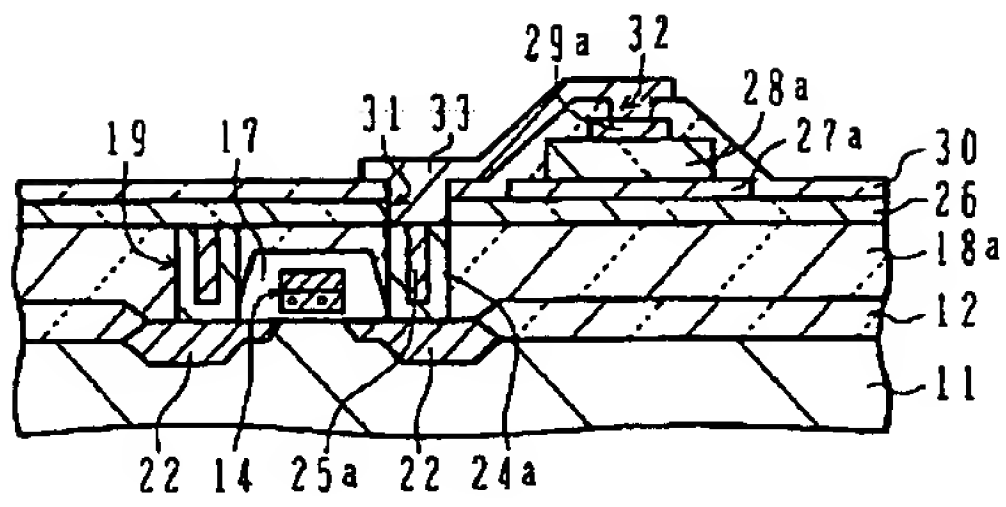


【図 12】

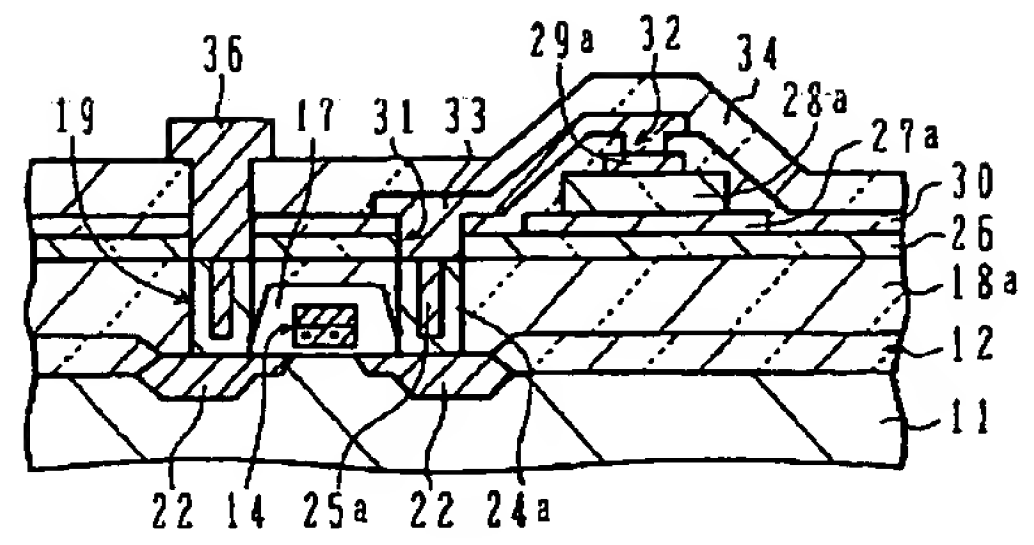




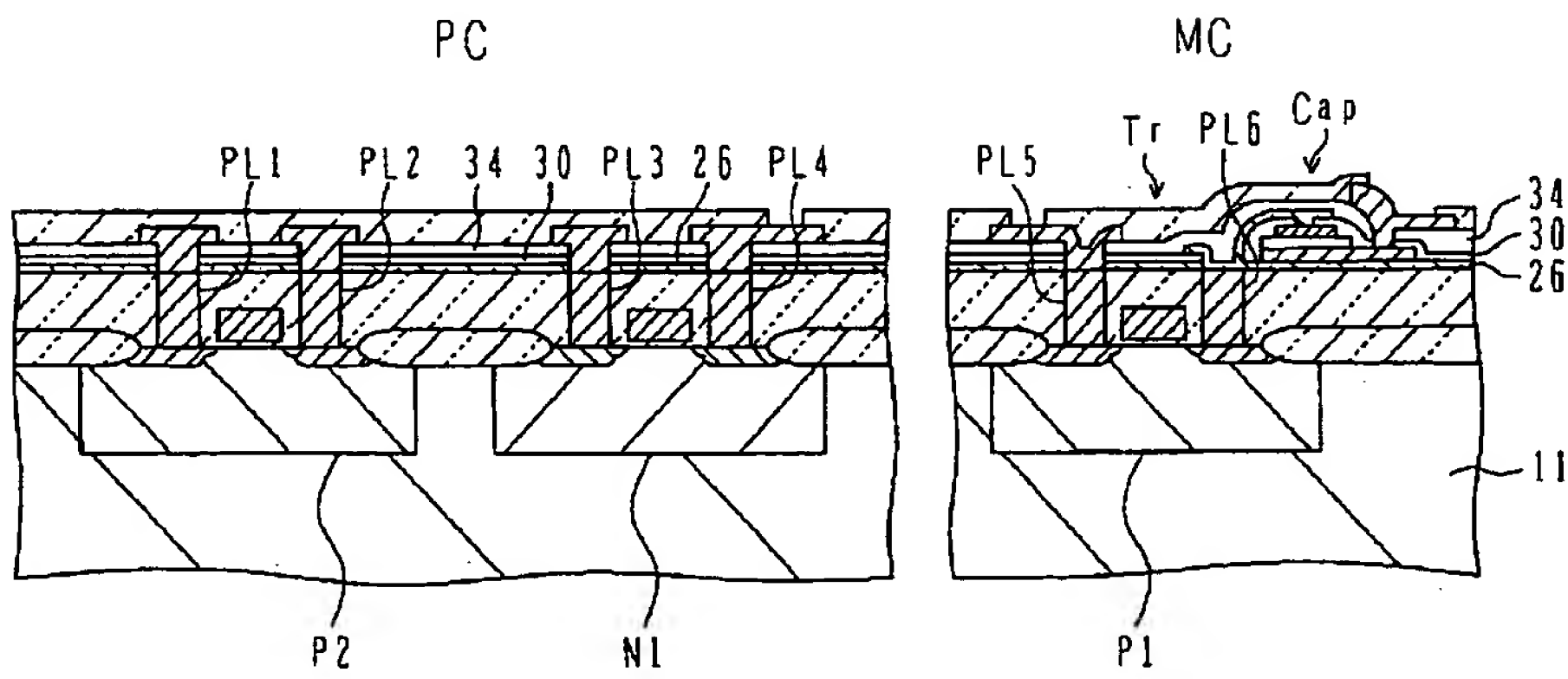
【図13】



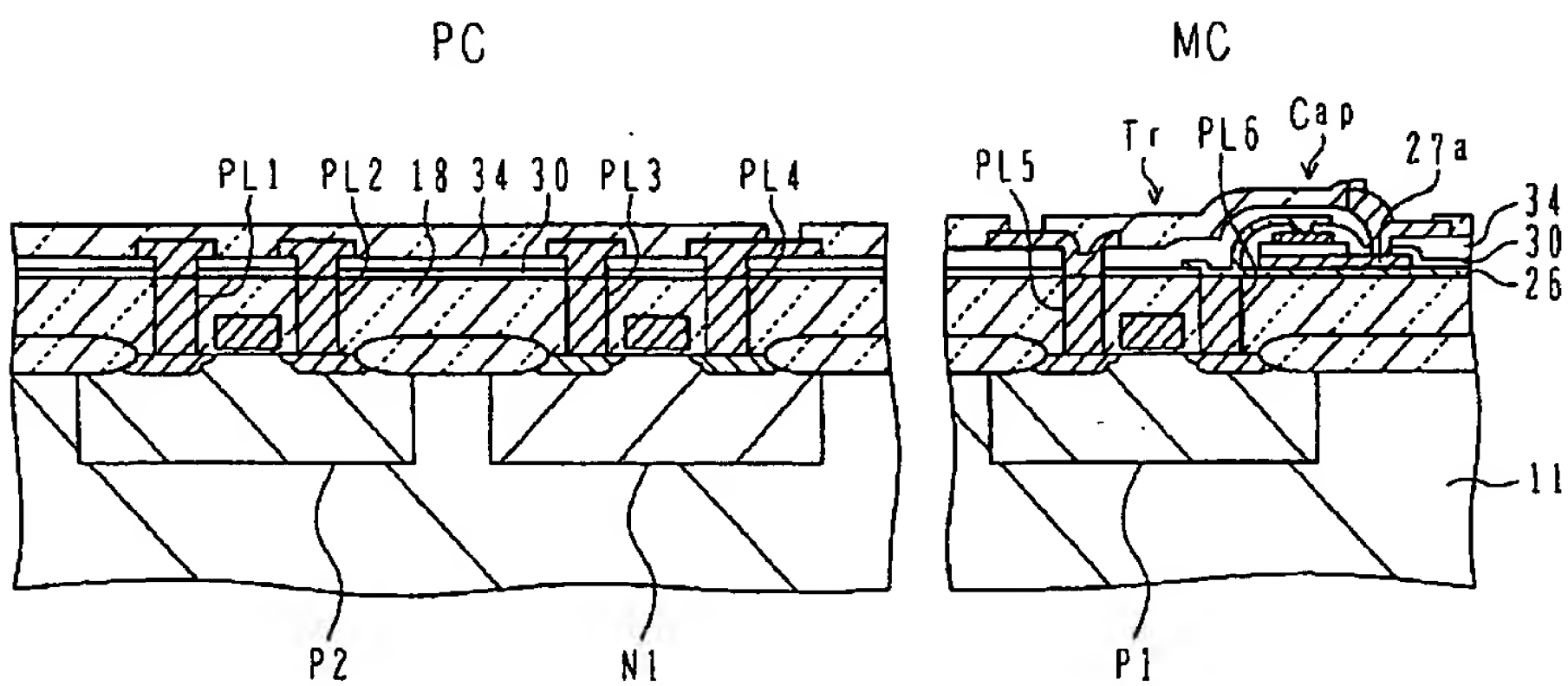
【図14】



【図15】



【図16】



(51) Int. Cl.<sup>6</sup>  
H 0 1 L 29/792

FI